

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請 日：西元 2003 年 02 月 25 日
Application Date

申請 案 號：092103919
Application No.

申請 人：統寶光電股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2003 年 3 月 28 日
Issue Date

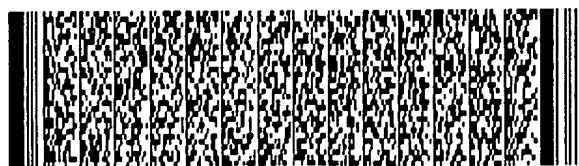
發文字號：09220308390
Serial No.

| | |
|-------|-------|
| 申請日期： | IPC分類 |
| 申請案號： | |

(以上各欄由本局填註)

發明專利說明書

| | | |
|--------------------|-----------------------|---|
| 一、 發明名稱 | 中 文 | 互補式金氧半導體薄膜電晶體元件之製造方法 |
| | 英 文 | |
| 二、 發明人 (共1人) | 姓 名 (中 文) | 1. 羅平 |
| | 姓 名 (英 文) | 1. |
| | 國 籍 (中 英 文) | 1. 中華民國 TW |
| | 住居所 (中 文) | 1. 新竹市光復路二段165巷23號 |
| | 住居所 (英 文) | 1. |
| 三、 申請人 (共1人) | 名稱或 姓 名 (中 文) | 1. 統寶光電股份有限公司 |
| | 名稱或 姓 名 (英 文) | 1. Toppoly Optoelectronics Corp. |
| | 國 籍 (中 英 文) | 1. 中華民國 ROC |
| | 住居所 (營業所) (中 文) | 1. 苗栗縣新竹科學工業園區竹南鎮仁愛路121巷5號 (本地址與前向貴局申請者相同) |
| | 住居所 (營業所) (英 文) | 1. |
| | 代表人 (中 文) | 1. 陳瑞聰 |
| | 代表人 (英 文) | 1. Chen, Jui-Tsung |



0773-91391wf(

四、中文發明摘要 (發明名稱：互補式金氧半導體薄膜電晶體元件之製造方法)

本發明提供一種互補式金氧半導體薄膜電晶體元件之製造方法。其特徵在於：在進行接觸窗的圖案化製程之後，再進行N型離子之重摻雜離子植入製程，以形成NMOS元件之源/汲極區。根據本發明，可以比習知減少一道微影製程，而能減少光罩使用量。

五、(一)、本案代表圖為：第9圖

(二)、本案代表圖之元件代表符號簡單說明：

| | |
|-----------------|------------|
| 200~基底； | 210~NMOS區； |
| 211~第一摻雜區； | 212~輕摻雜區； |
| 213~第一閘極區； | 220~PMOS區； |
| 221~第二摻雜區； | 222~第二閘極區； |
| 241~經調整之第一多晶矽層； | |
| 245~第二多晶矽層； | 410~閘極絕緣層； |
| 510~第一閘極； | 520~第二閘極； |

六、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：互補式金氧半導體薄膜電晶體元件之製造方法)

540~n⁻-多晶矽膜(LDD區)；
720~p⁺-多晶矽膜(源/汲極區)；
722~較淡的p型離子摻雜區；
810~鈍化層；
822、824、826、828~接觸窗；
910~n型離子之重摻雜離子植入製程；
920~n⁺-多晶矽膜(源/汲極區)。

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

[發明所屬之技術領域]

本發明係有關於一種液晶顯示器(liquid crystal display, LCD)製程，且特別是有關於一種互補式金氧半導體薄膜電晶體(CMOS TFT)元件之製造方法。

[先前技術]

在目前的主動式液晶顯示器裝置中，包含有一驅動電路(driver circuit)，而該驅動電路中又更包含有一互補式金氧半導體薄膜電晶體(CMOS TFT)元件。然而，由於CMOS TFT元件中N型金氧半導體薄膜電晶體元件會因為熱載子的作用，而在關狀態(Off state)時有閘極漏電流的問題，所以N型金氧半導體薄膜電晶體元件通常會設計有輕摻雜汲極區(lightly doped region, LDD)，用來減低閘極漏電流。

以下利用第1A~1E圖，用來說明習知之互補式金氧半導體薄膜電晶體(CMOS TFT)元件之製造方法。

首先，請參閱第1A圖，提供一玻璃基底100，該基底100具有一n型金氧半導體(NMOS)區110、一p型金氧半導體(PMOS)區120。然後，進行使用一第一光罩之一第一圖案化製程(patterning process I)，形成一第一多晶矽層130與一第二多晶矽層135於部分該基底100上，其中該第一多晶矽層130位於該NMOS區110中，而該第二多晶矽層135位於該PMOS區120中。

請參閱第1B圖，進行使用一第二光罩之一第二圖案化



五、發明說明 (2)

製程(patterning process II)，形成一光阻層140於部分該第一多晶矽層130或該第二多晶矽層135上，在此以該光阻層140覆蓋該第二多晶矽層135為例。然後，進行一離子植入製程150(例如是p型離子之輕摻雜製程)用以調整起始電壓值(threshold voltage adjustment, V_t adjustment)，符號131係表示經調整的第一多晶矽層。

請參閱第1C圖，去除該光阻層140之後，進行使用一第三光罩之一第三圖案化製程(patterning process III)，形成一光阻層155於部分該第一多晶矽層131上，並且覆蓋該第二多晶矽層135。之後，進行一n型離子之重摻雜離子植入製程(n^+ -ions doping)160而形成 n^+ -多晶矽膜170於該第一多晶矽層131中，該 n^+ -多晶矽膜170用以當作是NMOS元件之源/汲極區。

請參閱第1D圖，去除該光阻層155之後，形成一閘極絕緣層180於該第一多晶矽層131、該第二多晶矽層135與該基底100上。之後，形成一金屬層(未圖示)於該閘極絕緣層180上。然後，進行使用一第四光罩之一第四圖案化製程(patterning process IV)，圖案化該金屬層(未圖示)而形成一第一閘極190與一第二閘極195，該第一閘極190位於NMOS區110中，該第二閘極195位於PMOS區120中。

仍請參閱第1D圖，以該第一閘極190與該第二閘極195為罩幕，進行一n型離子之輕摻雜離子植入製程(n^- -ions doping)200，形成一 n^- -多晶矽膜210於部分該第一多晶矽層131與部分該第二多晶矽層135中，位於NMOS區110中的



五、發明說明 (3)

該 n^- -多晶矽膜210用以當作是輕摻雜汲極區(lightly doped drain, LDD)。

接著，請參閱第1E圖，進行使用一第五光罩之一第五圖案化製程(patterning process V)，形成一光阻層220覆蓋該NMOS區110。然後，進行一 p 型離子之重摻雜離子植入製程(p^+ -ions doping)230，形成一 p^+ -多晶矽膜240於部分該第二多晶矽層135中，該 p^+ -多晶矽膜240用以當作是PMOS元件之源/汲極區。

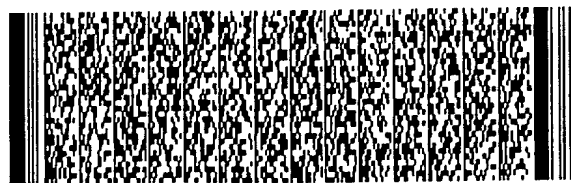
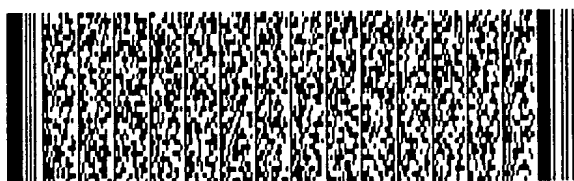
請參閱第1E圖，去除該光阻層220。如此即形成一NMOS元件250於NMOS區110中，以及一PMOS元件255於PMOS區120中。

接著，請參閱第1F圖，形成一鈍化層(passivation layer)260之後，進行使用一第六光罩之一第六圖案化製程(patterning process VI)，形成複數個接觸窗270穿越該鈍化層260與閘極絕緣層180而露出NMOS元件250之源/汲極區170與PMOS元件255之源/汲極區240。最後，填入導電材料於該等接觸窗270內而形成複數個插塞(plugs)280。

因此，上述習知製程必須使用六個光罩(即六道微影製程)才能製造出CMOS TFT元件，因而使得製造成本頗高。

[發明內容]

有鑑於此，本發明之目的在於提供一種互補式金氧半導體薄膜電晶體(CMOS TFT)元件之製造方法。



五、發明說明 (4)

本發明之目的在於提供一種只需要使用五個光罩(即五道微影製程)的CMOS TFT元件之製造方法。

為達上述目的，本發明提供一種互補式金氧半導體薄膜電晶體元件之製造方法，包括下列步驟：

(a) 提供一玻璃基底，該基底具有一n型金氧半導體(NMOS)區與一p型金氧半導體(PMOS)區，其中該NMOS區更包含一第一摻雜區、一輕摻雜區與一第一閘極區，而該PMOS區更包含一第二摻雜區與一第二閘極區；

(b) 進行使用一第一光罩之一第一圖案化製程(patterning process)，形成一第一半導體島與一第二半導體島於部分該基底上，其中該第一半導體島位於該NMOS區中，而該第二半導體島位於該PMOS區中；

(c) 進行使用一第二光罩之一第二圖案化製程，並使部分該第一半導體島與/或該第二半導體島露出；

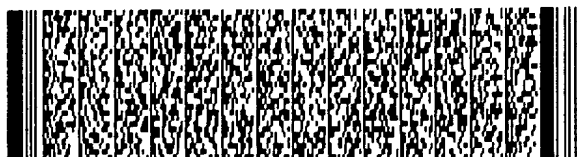
(d) 植入摻質於露出的該第一半導體島與/或該第二半導體島中，用以調整起始電壓值；

(e) 形成一閘極絕緣層於該第一半導體島、該第二半導體島與該基底上；

(f) 形成一導電層於該閘極絕緣層上；

(g) 進行使用一第三光罩之一第三圖案化製程，去除部分該導電層而定義出一第一閘極與一第二閘極，其中該第一閘極位於該第一閘極區，該第二閘極位於該第二閘極區；

(h) 以該等第一、第二閘極為罩幕，進行一n型離子之



五、發明說明 (5)

輕摻雜離子植入製程，形成一輕摻雜汲極區於位在該輕摻雜區之該第一半導體島中；

(i) 進行使用一第四光罩之一第四圖案化製程，露出該PMOS區；

(j) 以該第二閘極為罩幕，進行一p型離子之重摻雜離子植入製程，形成一第二源/汲極區於位在該第二摻雜區之該第二半導體島中；

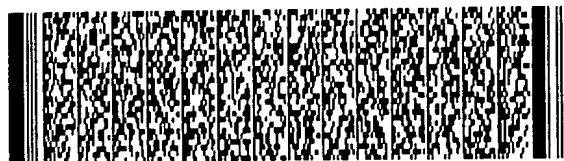
(k) 形成一鈍化層於該閘極絕緣層與該等第一、第二閘極上；

(l) 進行使用一第五光罩之一第五圖案化製程，形成一第一接觸窗、一第二接觸窗、一第三接觸窗與一第四接觸窗穿越該鈍化層與該閘極絕緣層，其中該等第一接觸窗與第二接觸窗係對應該第一摻雜區，而該等第三接觸窗與第四接觸窗係位在第二源/汲極區上；

(m) 經由該等第一、二、三及四接觸窗，進行一n型離子之重摻雜離子植入製程，形成一第一源/汲極區於位在該第一摻雜區之該第一半導體島中，其中前述p型離子之重摻雜離子劑量大於該n型離子之重摻雜離子劑量；以及

(n) 填入導電材料於該等接觸窗中，而形成一第一插塞、一第二插塞、一第三插塞與一第四插塞，其中該等第一、第二插塞係電性連接該第一源/汲極區，而該等第二、第三插塞係電性連接該第二源/汲極區。

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如



五、發明說明 (6)

下：

實施方式：

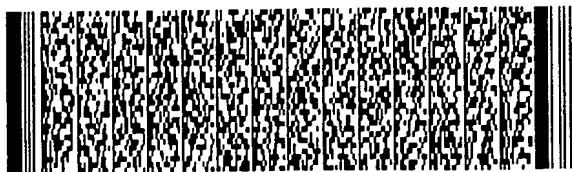
請參閱第2~10圖，用以說明本發明之互補式金氧半導體薄膜電晶體(CMOS TFT)元件之製程。

首先，請參閱第2圖，提供例如是玻璃基底的一絕緣基底200，該基底200具有一n型金氧半導體(NMOS)區210與一p型金氧半導體(PMOS)區220，其中該NMOS區210更包含一第一摻雜區211、一輕摻雜區212與一第一閘極區213，而該PMOS區220更包含一第二摻雜區221與一第二閘極區222。

請參閱第2圖，在該基底200上可以形成一緩衝層(buffer layer)230，該緩衝層230例如是由一氮化矽層(SiN_x)232與一氧化矽層(SiO_x)234所構成。為簡化圖示，下述之第3~10圖將不繪出該緩衝層230。

請參閱第2圖，然後進行使用一第一光罩(reticle or photomask)之一第一圖案化製程(patterning process I)，形成例如是矽島(silicon island)或多晶矽層(polysilicon layer)的一第一半導體島240(以下以第一多晶矽層240表示)與一第二半導體島245(以下以第二多晶矽層245表示)於部分該基底200上，其中該第一多晶矽層240位於該NMOS區210中，而該第二多晶矽層245位於該PMOS區220中。

請參閱第3圖，進行使用一第二光罩之一第二圖案化



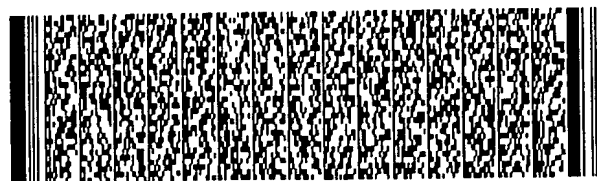
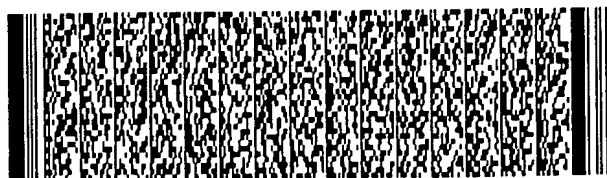
五、發明說明 (7)

製程(patterning process II)，形成一能量感應層310(energy sensitive layer，例如是光阻層)於部分該第一多晶矽層240或該第二多晶矽層245上，在此以該光阻層310覆蓋該第二多晶矽層245為例。然後，進行一離子植入製程320(例如是p型離子之輕摻雜製程)用以調整起始電壓值(threshold voltage adjustment, V_t adjustment)，符號241係表示經調整的第一多晶矽層。

請參閱第4圖，去除該能量感應層310之後，形成例如是氧化矽(SiO_x)層412與氮化矽(SiN_x)層414構成的一閘極絕緣層410於該第一多晶矽層241、該第二多晶矽層245與該基底200上。接著，形成一導電層420於該閘極絕緣層410上，其中該導電層420可以是金屬層，例如是鈾、鋁或銅合金層。

請參閱第5圖，進行使用一第三光罩之一第三圖案化製程(patterning process III)，去除部分該導電層420而定義出一第一閘極510與一第二閘極520，其中該第一閘極510位於該第一閘極區213中，該第二閘極520位於該第二閘極區222中。

請參閱第5圖，以該等第一、第二閘極510、520為罩幕，進行一n型離子之輕摻雜離子植入製程(n^- -ions doping，植入劑量約是 $1\text{E}11\sim 1\text{E}14$ atom/ cm^2)530，形成一n-多晶矽膜540於部分該第一多晶矽層241與部分該第二多晶矽層245中，其中位於輕摻雜區212中的該n-多晶矽膜540係用以當作是NMOS元件之輕摻雜汲極區(lightly



五、發明說明 (8)

doped drain, LDD)。

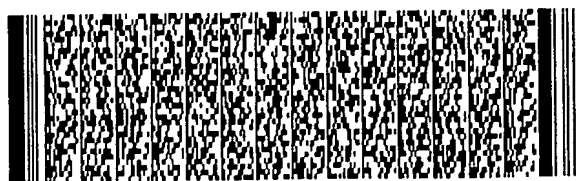
請參閱第6圖，進行使用一第四光罩之一第四圖案化製程(patterning process IV)，形成一能量感應層610(例如是光阻層)覆蓋該NMOS區210。

請參閱第7圖，以該第二閘極520與該能量感應層610為罩幕，進行一p型離子之重摻雜離子植入製程(p^+ -ions doping，植入劑量約是 $1E16 \sim 1E20 \text{ atom/cm}^2$)710而形成一 p^+ -多晶矽膜720於部分該第二多晶矽層245中，位在該第二摻雜區221之該 p^+ -多晶矽膜720係用以當作是PMOS元件之源/汲極區720。

請參閱第8圖，去除該能量感應層610，然後形成一鈍化層(passivation layer)810於該閘極絕緣層410與該等第一、第二閘極510、520上。該鈍化層810例如是一氮化矽(SiN_x)層或氧化矽(SiO_x)層。

請參閱第8圖，進行使用一第五光罩之一第五圖案化製程(patterning process V)，形成一第一接觸窗822、一第二接觸窗824、一第三接觸窗826與一第四接觸窗828穿越該鈍化層810與該閘極絕緣層410，其中第一接觸窗822與第二接觸窗824係對應該第一摻雜區211，而第三接觸窗826與第四接觸窗828係位在源/汲極區720上方。這裡要特別注意的是，第三接觸窗826與第四接觸窗828不能碰到第二閘極520。

請參閱第9圖，經由該等第一、二、三及四接觸窗822、824、826、828，進行一n型離子之重摻雜離子植入



五、發明說明 (9)

製程(n^+ -ions doping, 植入劑量約是 $1E15 \sim 1E19$ atom/cm²)910, 而形成一 n^+ -多晶矽膜920於部分該第一多晶矽層241中, 位在該第一摻雜區221之該 n^+ -多晶矽膜920係用以當作是NMOS元件之源/汲極區920。

還有, 這裡要特別注意的是, 前述p型離子之重摻雜離子植入製程710之離子劑量須大於該n型離子之重摻雜離子植入製程910之離子劑量的10倍以上。如此, 雖然第9圖中的 p^+ -多晶矽膜720中會有較淡的p型離子摻雜區722(可看做是PLDD, p-type lightly doped drain), 但不會對PMOS元件的電性有太大的影響。

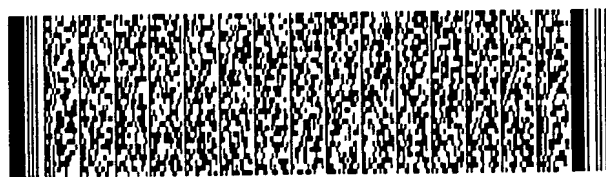
請參閱第10圖, 填入例如是金屬的導電材料於該等接觸窗822、824、826、828中, 而形成一第一插塞1010、一第二插塞1020、一第三插塞1030與一第四插塞1040, 其中該等第一、第二插塞1010、1020係電性連接NMOS元件之源/汲極區920, 而該等第二、第三插塞1030、1040係電性連接PMOS元件之源/汲極區720。

[本發明之特徵與優點]

本發明之特徵在於：

在進行接觸窗的圖案化製程之後, 再進行N型離子之重摻雜離子植入製程, 以形成NMOS元件之源/汲極區。根據本發明, 可以比習知減少一道微影製程, 而能減少光罩使用量。

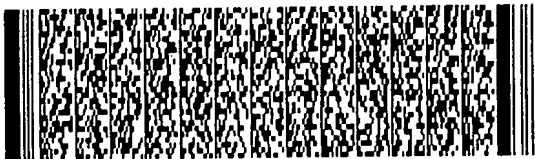
如此, 經由本發明, 使得CMOS TFT元件能夠以五道微



五、發明說明 (10)

影製程來形成，故能比習知技術少一道微影製程，而能達成降低製造成本之目的。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明的範圍，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



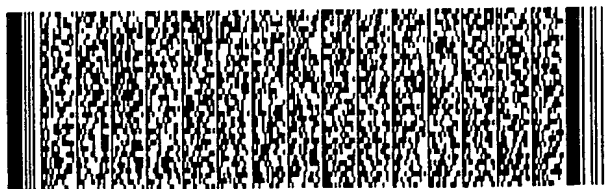
圖式簡單說明

第1A~1F圖係顯示習知CMOS TFT的製程剖面圖；以及第2~10圖係顯示本發明之CMOS TFT的製程剖面圖。

[符號說明]：

習知部分(第1A~1F圖)

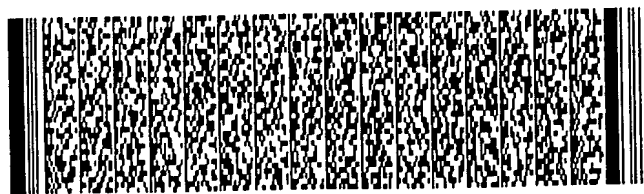
- | | |
|----------------------------------|-------------|
| 100~基底； | 110~NMOS區； |
| 120~PMOS區； | 130~第一多晶矽層； |
| 131~經調整之第一多晶矽層； | |
| 135~第二多晶矽層； | |
| 140、155、220~能量感應層(例如是光阻層)； | |
| 150~離子植入製程； | |
| 160~n型離子之重摻雜離子植入製程； | |
| 170~n ⁺ -多晶矽膜(源/汲極區)； | |
| 180~閘極絕緣層； | |
| 190~第一閘極； | |
| 195~第二閘極； | |
| 200~n型離子之輕摻雜離子植入製程； | |
| 210~n ⁻ -多晶矽膜(LDD區)； | |
| 230~p型離子之重摻雜離子植入製程； | |
| 240~p ⁺ -多晶矽膜(源/汲極區)； | |
| 250~NMOS元件； | 255~PMOS元件； |
| 260~鈍化層； | 270~接觸窗； |
| 280~插塞。 | |



圖式簡單說明

本案部分(第2~10圖)

- 200~基底；
- 211~第一摻雜區；
- 213~第一閘極區；
- 221~第二摻雜區；
- 240~第一半導體島(例如是第一多晶矽層)；
- 241~經調整之第一多晶矽層；
- 245~第二半導體島(例如是第二多晶矽層)；
- 310、610~能量感應層(例如是光阻層)；
- 320~離子植入製程；
- 412~氧化矽(SiO_x)層；
- 420~導電層；
- 520~第二閘極；
- 530~n型離子之輕摻雜離子植入製程；
- 540~ n^- -多晶矽膜(LDD區)；
- 710~p型離子之重摻雜離子植入製程；
- 720~ p^+ -多晶矽膜(源/汲極區)；
- 722~較淡的p型離子摻雜區；
- 810~鈍化層；
- 822、824、826、828~接觸窗；
- 910~n型離子之重摻雜離子植入製程；
- 920~ n^+ -多晶矽膜(源/汲極區)；
- 1010、1020、1030、1040~插塞。
- 210~NMOS區；
- 212~輕摻雜區；
- 220~PMOS區；
- 222~第二閘極區；
- 410~閘極絕緣層；
- 414~氮化矽(SiN_x)層；
- 510~第一閘極；



六、申請專利範圍

1. 一種互補式金氧半導體薄膜電晶體(CMOS TFT)元件之製造方法，包括下列步驟：

(a) 提供一基底，該基底具有一n型金氧半導體(NMOS)區與一p型金氧半導體(PMOS)區，其中該NMOS區更包含一第一摻雜區、一輕摻雜區與一第一閘極區，而該PMOS區更包含一第二摻雜區與一第二閘極區；

(b) 進行使用一第一光罩之一第一圖案化製程，形成一第一半導體島與一第二半導體島於部分該基底上，其中該第一半導體島位於該NMOS區中，而該第二半導體島位於該PMOS區中；

(c) 進行使用一第二光罩之一第二圖案化製程，並使部分該第一半導體島與/或該第二半導體島露出；

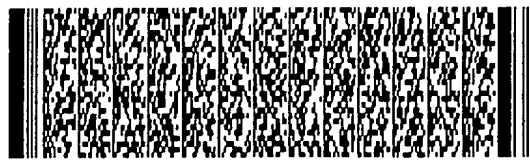
(d) 植入摻質於露出的該第一半導體島與/或該第二半導體島中，用以調整起始電壓值；

(e) 形成一絕緣層於該第一半導體島、該第二半導體島與該基底上；

(f) 形成一導電層於該絕緣層上；

(g) 進行使用一第三光罩之一第三圖案化製程，去除部分該導電層而定義出一第一閘極與一第二閘極，其中該第一閘極位於該第一閘極區，該第二閘極位於該第二閘極區；

(h) 以該等第一、第二閘極為罩幕，進行一n型離子之輕摻雜離子植入製程，形成一輕摻雜汲極區於位在該輕摻雜區之該第一半導體島中；



六、申請專利範圍

(i) 進行使用一第四光罩之一第四圖案化製程，露出該PMOS區；

(j) 以該第二閘極為罩幕，進行一p型離子之重摻雜離子植入製程，形成一第二源/汲極區於位在該第二摻雜區之該第二半導體島中；

(k) 形成一鈍化層於該絕緣層與該等第一、第二閘極上；

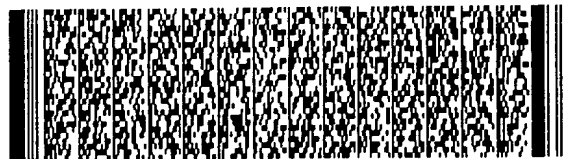
(l) 進行使用一第五光罩之一第五圖案化製程，形成一第一接觸窗、一第二接觸窗、一第三接觸窗與一第四接觸窗穿越該鈍化層與該絕緣層，其中該等第一接觸窗與第二接觸窗係對應該第一摻雜區，而該等第三接觸窗與第四接觸窗係位在第二源/汲極區上；以及

(m) 經由該等第一、二、三及四接觸窗，進行一n型離子之重摻雜離子植入製程，形成一第一源/汲極區於位在該第一摻雜區之該第一半導體島中，其中前述p型離子之重摻雜離子劑量大於該n型離子之重摻雜離子劑量。

2. 一種互補式金氧半導體薄膜電晶體(CMOS TFT)元件之製造方法，包括下列步驟：

(a) 提供一基底，該基底具有一n型金氧半導體(NMOS)區與一p型金氧半導體(PMOS)區，其中該NMOS區更包含一第一摻雜區、一輕摻雜區與一第一閘極區，而該PMOS區更包含一第二摻雜區與一第二閘極區；

(b) 進行使用一第一光罩之一第一圖案化製程，形成一第一半導體島與一第二半導體島於部分該基底上，其中



六、申請專利範圍

該第一半導體島位於該NMOS區中，而該第二半導體島位於該PMOS區中；

(c) 進行使用一第二光罩之一第二圖案化製程，形成一第一能量感應層於部分該第一半導體島與/或該第二半導體島上；

(d) 以該第一能量感應層為罩幕，植入摻質於部分該第一半導體島與/或該第二半導體島中，用以調整起始電壓值；

(e) 去除該第一能量感應層；

(f) 形成一絕緣層於該第一半導體島、該第二半導體島與該基底上；

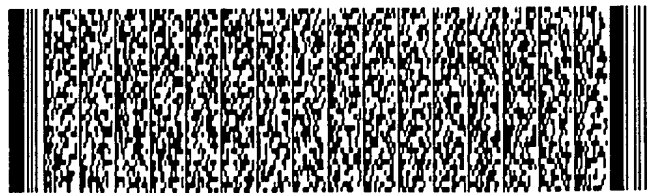
(g) 形成一導電層於該絕緣層上；

(h) 進行使用一第三光罩之一第三圖案化製程，去除部分該導電層而定義出一第一閘極與一第二閘極，其中該第一閘極位於該第一閘極區，該第二閘極位於該第二閘極區；

(i) 以該等第一、第二閘極為罩幕，進行一n型離子之輕摻雜離子植入製程，形成一輕摻雜汲極區於位在該輕摻雜區之該第一半導體島中；

(j) 進行使用一第四光罩之一第四圖案化製程，形成一第二能量感應層覆蓋該NMOS區；

(k) 以該第二閘極為罩幕，進行一p型離子之重摻雜離子植入製程，形成一第二源/汲極區於位在該第二摻雜區之該第二半導體島中；



六、申請專利範圍

(l) 去除該第二能量感應層；

(m) 形成一鈍化層於該絕緣層與該等第一、第二閘極上；

(n) 進行使用一第五光罩之一第五圖案化製程，形成一第一接觸窗、一第二接觸窗、一第三接觸窗與一第四接觸窗穿越該鈍化層與該絕緣層，其中該等第一接觸窗與第二接觸窗係對應該第一摻雜區，而該等第三接觸窗與第四接觸窗係位在第二源/汲極區上；以及

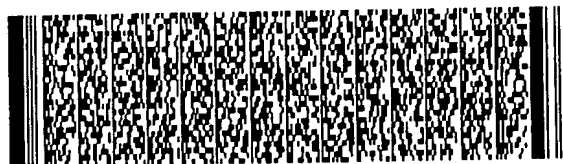
(o) 經由該等第一、二、三及四接觸窗，進行一n型離子之重摻雜離子植入製程，形成一第一源/汲極於位在該第一摻雜區之該第一半導體島中，其中前述p型離子之重摻雜離子劑量大於該n型離子之重摻雜離子劑量。

3. 如申請專利範圍第2項所述之互補式金氧半導體薄膜電晶體元件之製造方法，更包括下列步驟：

(p) 填入導電材料於該等接觸窗中，而形成一第一插塞、一第二插塞、一第三插塞與一第四插塞，其中該等第一、第二插塞係電性連接該第一源/汲極區，而該等第二、第三插塞係電性連接該第二源/汲極區。

4. 如申請專利範圍第2項所述之互補式金氧半導體薄膜電晶體元件之製造方法，更包括形成一緩衝層於該基底上。

5. 如申請專利範圍第2項所述之互補式金氧半導體薄膜電晶體元件之製造方法，其中該緩衝層包含一氮化矽(SiN_x)層與一氧化矽(SiO_x)層。



六、申請專利範圍

6. 如申請專利範圍第2項所述之互補式金氧半導體薄膜電晶體元件之製造方法，其中該等第一、第二半導體島包含矽。

7. 如申請專利範圍第2項所述之互補式金氧半導體薄膜電晶體元件之製造方法，其中該絕緣層包含一氮化矽(SiN_x)層與一氧化矽(SiO_x)層。

8. 如申請專利範圍第2項所述之互補式金氧半導體薄膜電晶體元件之製造方法，其中該導電層包含金屬。

9. 如申請專利範圍第2項所述之互補式金氧半導體薄膜電晶體元件之製造方法，其中該p型離子之重摻雜離子劑量係該n型離子之重摻雜離子劑量的十倍以上。

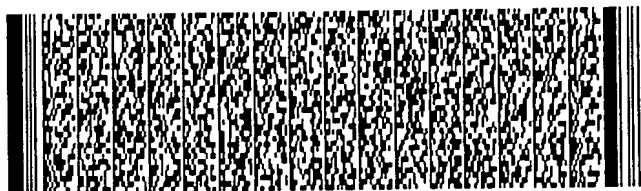
10. 如申請專利範圍第2項所述之互補式金氧半導體薄膜電晶體元件之製造方法，其中該鈍化層包含氮化矽(SiN_x)或氧化矽(SiO_x)。

11. 如申請專利範圍第3項所述之互補式金氧半導體薄膜電晶體元件之製造方法，其中該導電材料包含金屬。

12. 如申請專利範圍第2項所述之互補式金氧半導體薄膜電晶體元件之製造方法，其中該等第一、第二能量感應層係光阻層。

13. 一種互補式金氧半導體薄膜電晶體(CMOS TFT)元件之製造方法，包括下列步驟：

(a) 提供一玻璃基底，該基底具有一n型金氧半導體(NMOS)區與一p型金氧半導體(PMOS)區，其中該NMOS區更包含一第一摻雜區、一輕摻雜區與一第一閘極區，而該



六、申請專利範圍

PMOS 區更包含一第二摻雜區與一第二閘極區；

(b) 進行使用一第一光罩之一第一圖案化製程 (patterning process)，形成一第一半導體島與一第二半導體島於部分該基底上，其中該第一半導體島位於該NMOS區中，而該第二半導體島位於該PMOS區中；

(c) 進行使用一第二光罩之一第二圖案化製程，並使部分該第一半導體島與/或該第二半導體島露出；

(d) 植入摻質於露出的該第一半導體島與/或該第二半導體島中，用以調整起始電壓值；

(e) 形成一閘極絕緣層於該第一半導體島、該第二半導體島與該基底上；

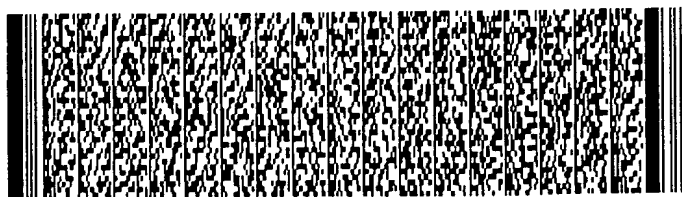
(f) 形成一導電層於該閘極絕緣層上；

(g) 進行使用一第三光罩之一第三圖案化製程，去除部分該導電層而定義出一第一閘極與一第二閘極，其中該第一閘極位於該第一閘極區，該第二閘極位於該第二閘極區；

(h) 以該等第一、第二閘極為罩幕，進行一n型離子之輕摻雜離子植入製程，形成一輕摻雜汲極區於位在該輕摻雜區之該第一半導體島中；

(i) 進行使用一第四光罩之一第四圖案化製程，露出該PMOS區；

(j) 以該第二閘極為罩幕，進行一p型離子之重摻雜離子植入製程，形成一第二源/汲極區於位在該第二摻雜區之該第二半導體島中；



六、申請專利範圍

(k) 形成一鈍化層於該閘極絕緣層與該等第一、第二閘極上；

(l) 進行使用一第五光罩之一第五圖案化製程，形成一第一接觸窗、一第二接觸窗、一第三接觸窗與一第四接觸窗穿越該鈍化層與該閘極絕緣層，其中該等第一接觸窗與第二接觸窗係對應該第一摻雜區，而該等第三接觸窗與第四接觸窗係位在第二源/汲極區上；以及

(m) 經由該等第一、二、三及四接觸窗，進行一n型離子之重摻雜離子植入製程，形成一第一源/汲極於位在該第一摻雜區之該第一半導體島中，其中前述P型離子之重摻雜離子劑量大於該N型離子之重摻雜離子劑量。

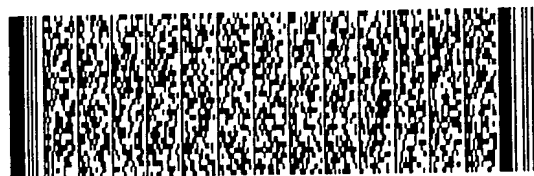
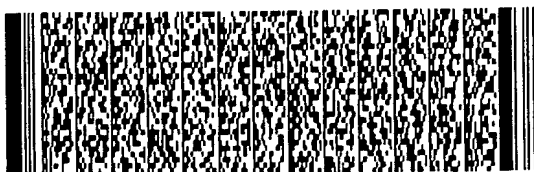
13. 如申請專利範圍第12項所述之互補式金氧半導體薄膜電晶體元件之製造方法，更包括下列步驟：

(n) 填入導電材料於該等接觸窗中，而形成一第一插塞、一第二插塞、一第三插塞與一第四插塞，其中該等第一、第二插塞係電性連接該第一源/汲極區，而該等第二、第三插塞係電性連接該第二源/汲極區。

14. 如申請專利範圍第12項所述之互補式金氧半導體薄膜電晶體元件之製造方法，更包括形成一緩衝層於該基底上。

15. 如申請專利範圍第12項所述之互補式金氧半導體薄膜電晶體元件之製造方法，其中該緩衝層包含一氮化矽(SiN_x)層與一氧化矽(SiO_x)層。

16. 如申請專利範圍第12項所述之互補式金氧半導體



六、申請專利範圍

薄膜電晶體元件之製造方法，其中該閘極絕緣層包含一氮化矽(SiN_x)層與一氧化矽(SiO_x)層。

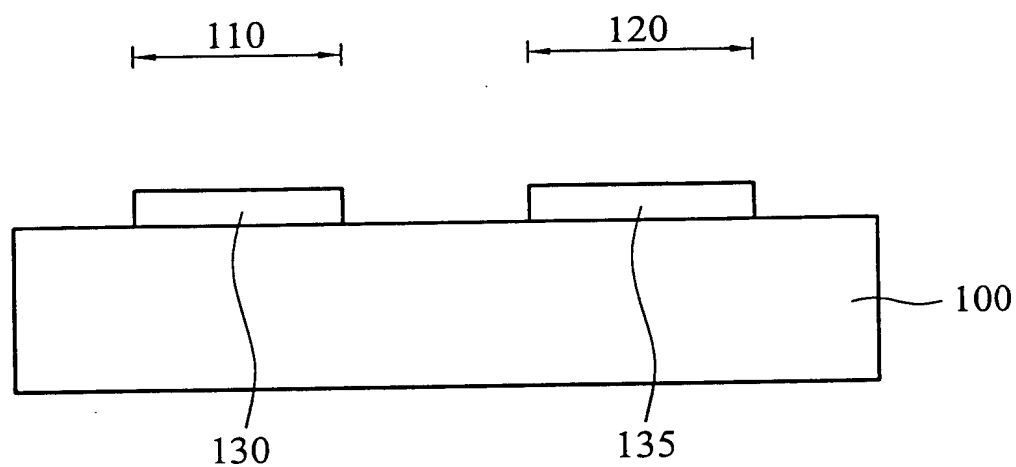
17. 如申請專利範圍第12項所述之互補式金氧半導體薄膜電晶體元件之製造方法，其中該導電層包含金屬。

18. 如申請專利範圍第12項所述之互補式金氧半導體薄膜電晶體元件之製造方法，其中該p型離子之重摻雜離子劑量係該n型離子之重摻雜離子劑量的十倍以上。

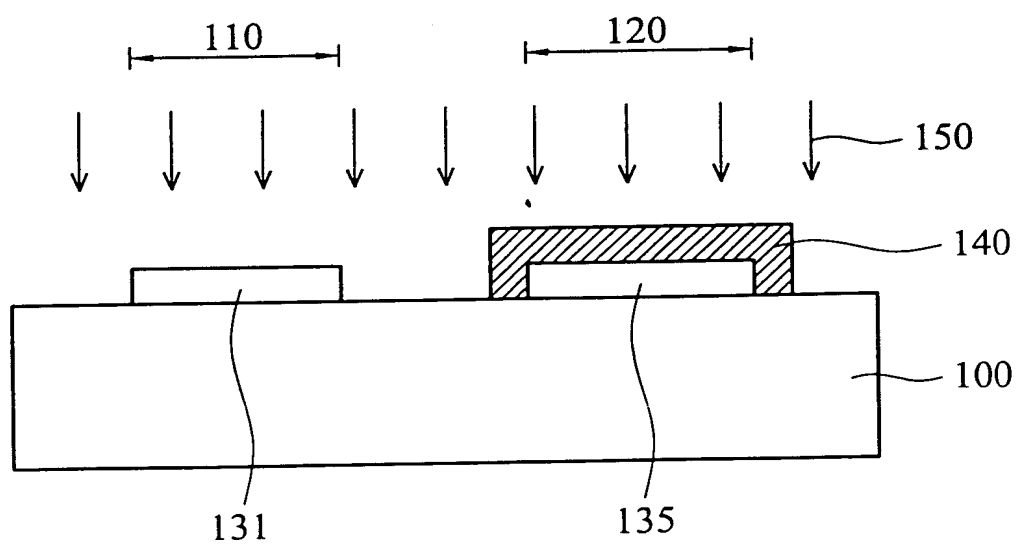
19. 如申請專利範圍第12項所述之互補式金氧半導體薄膜電晶體元件之製造方法，其中該鈍化層包含氮化矽(SiN_x)或氧化矽(SiO_x)。

20. 如申請專利範圍第13項所述之互補式金氧半導體薄膜電晶體元件之製造方法，其中該導電材料包含金屬。

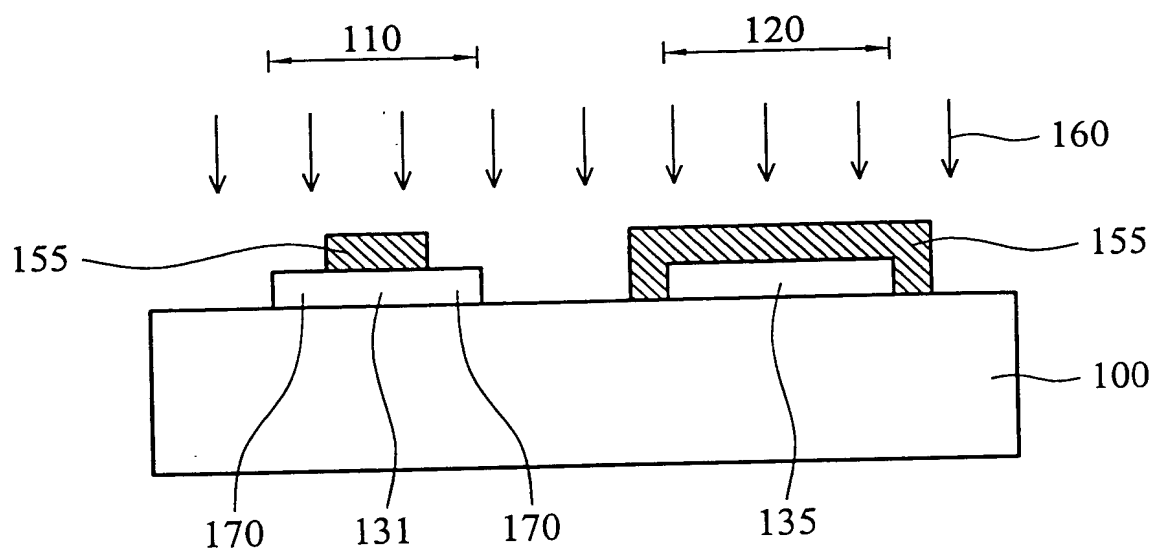




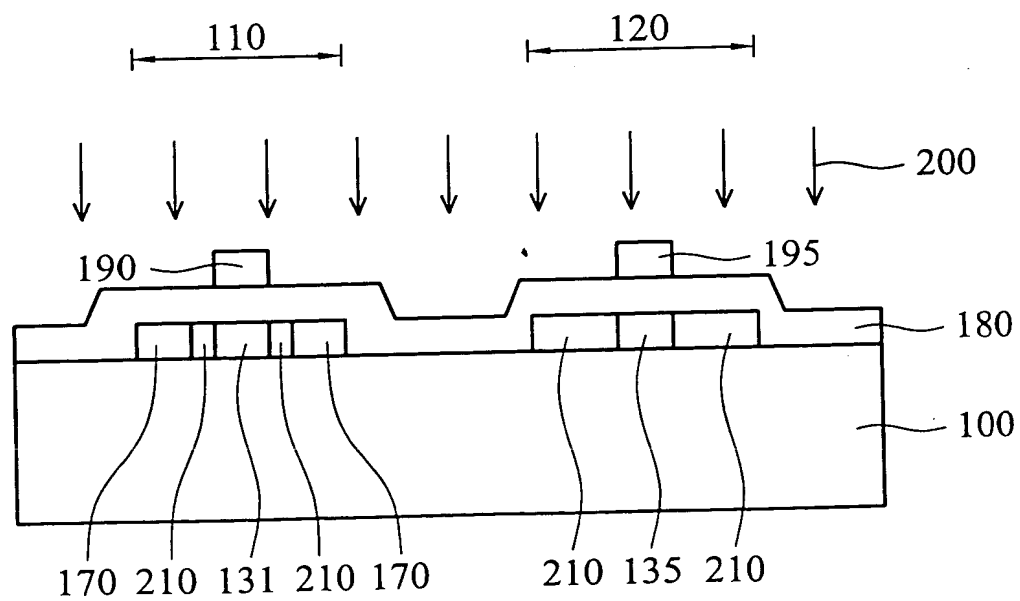
第 1A 圖



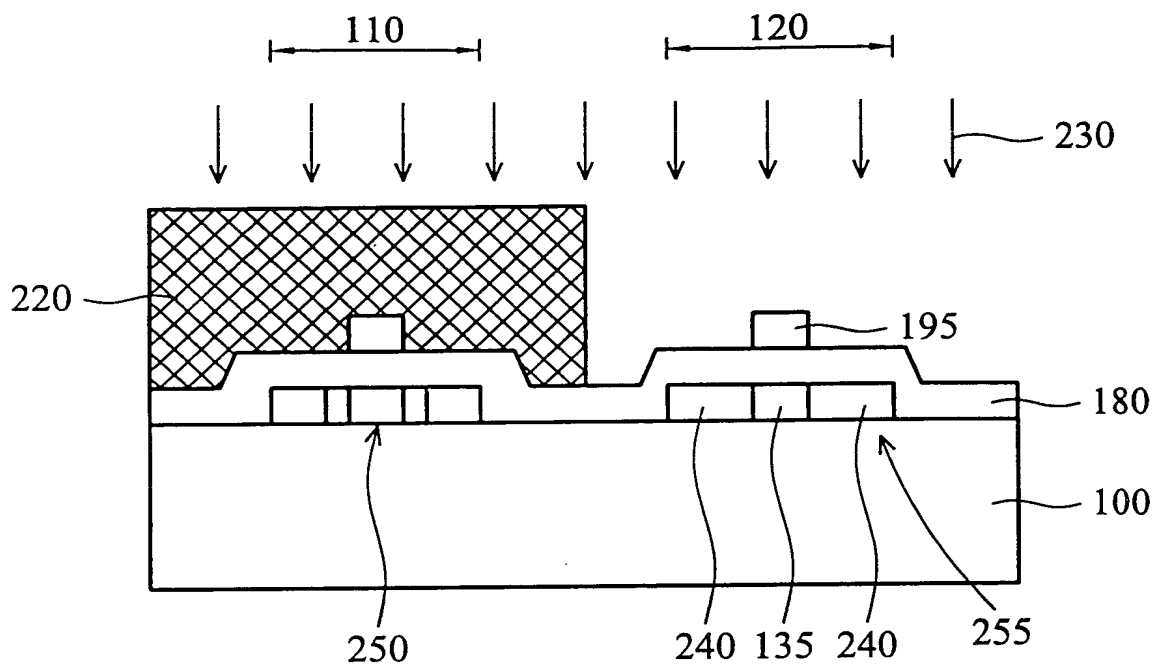
第 1B 圖



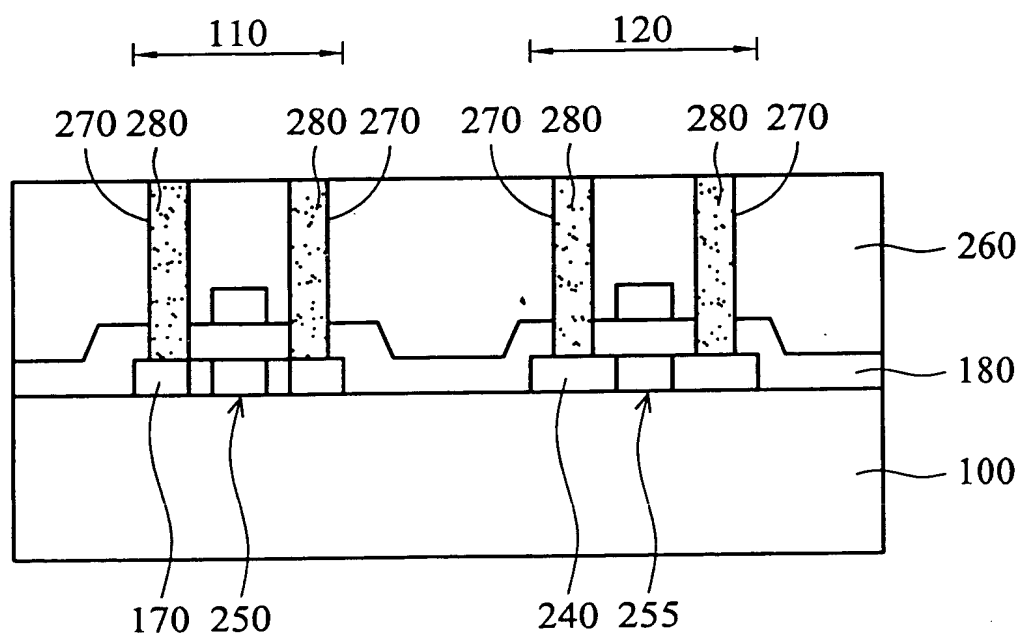
第1C圖



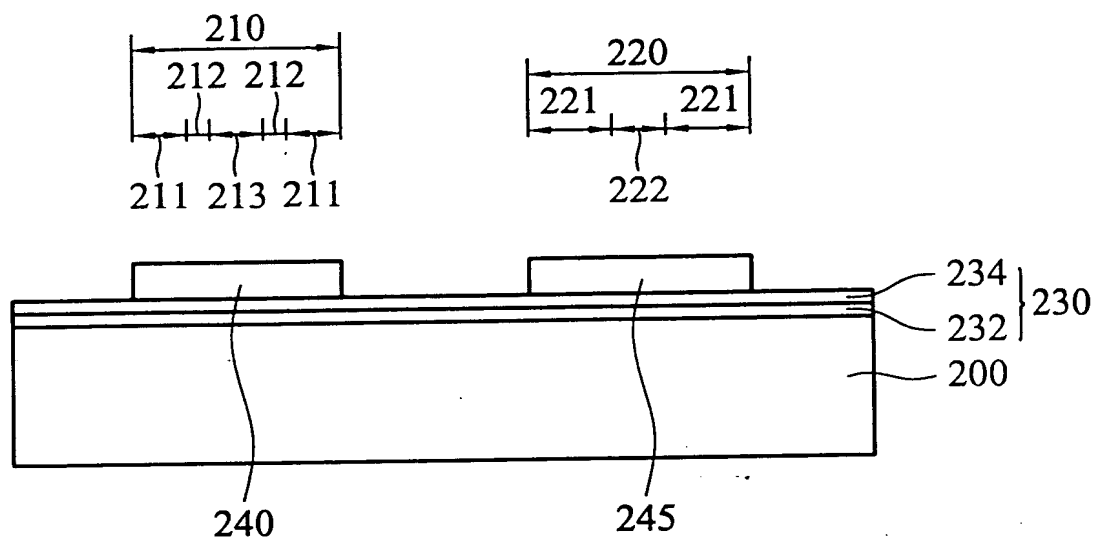
第1D圖



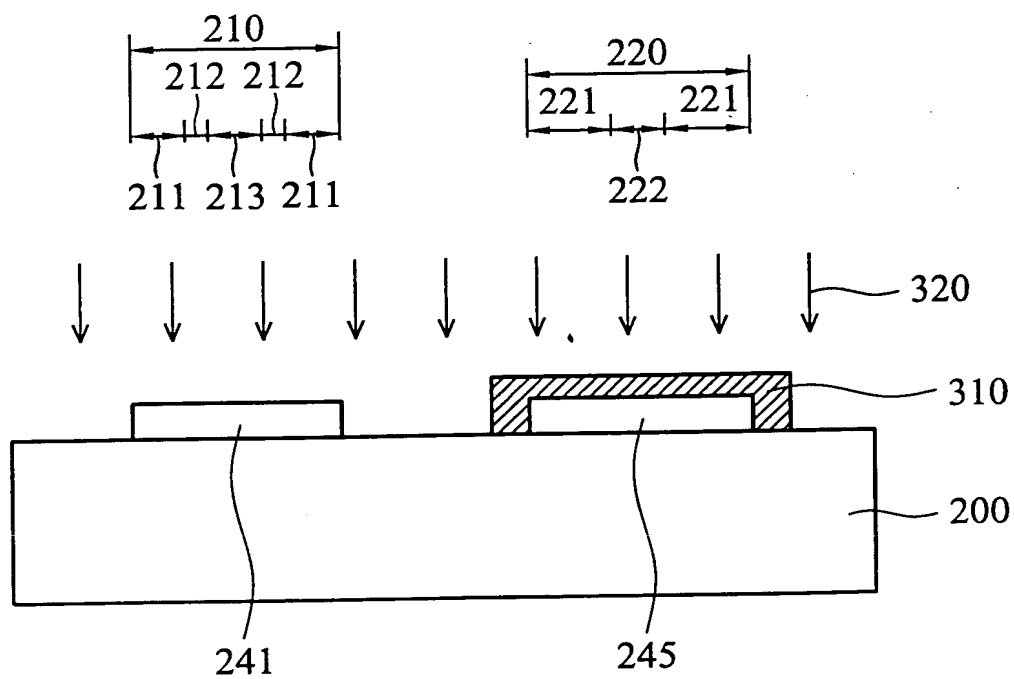
第 1E 圖



第 1F 圖



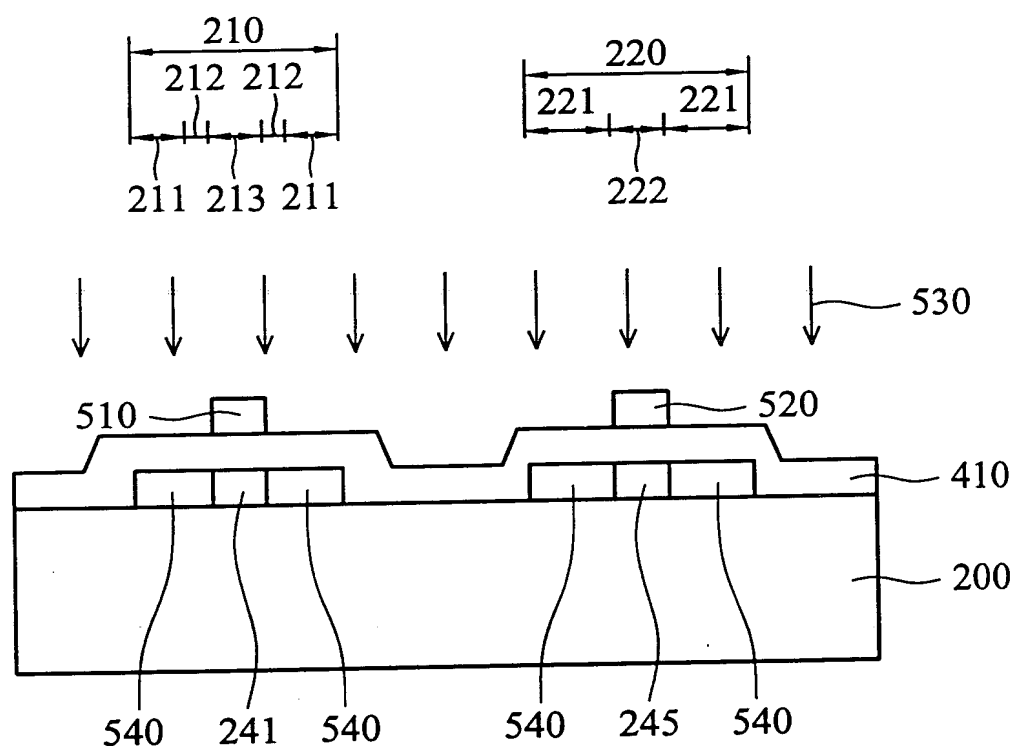
第 2 圖



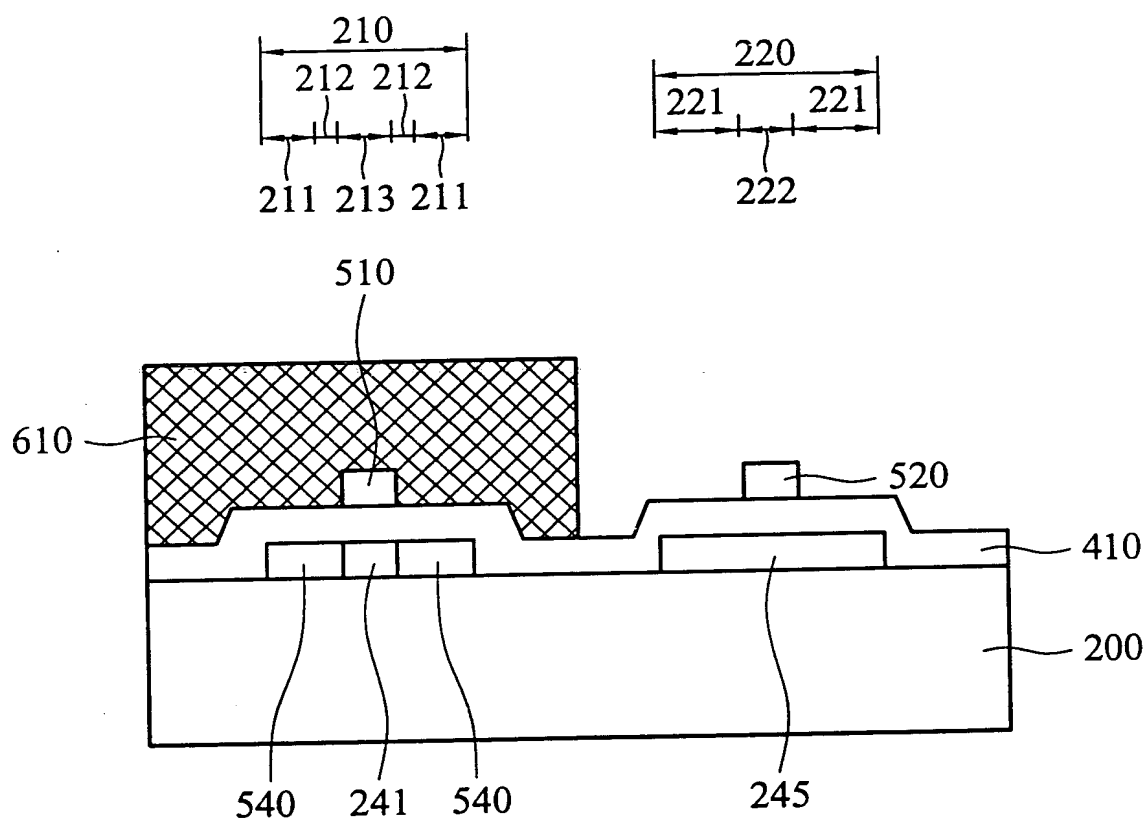
第 3 圖



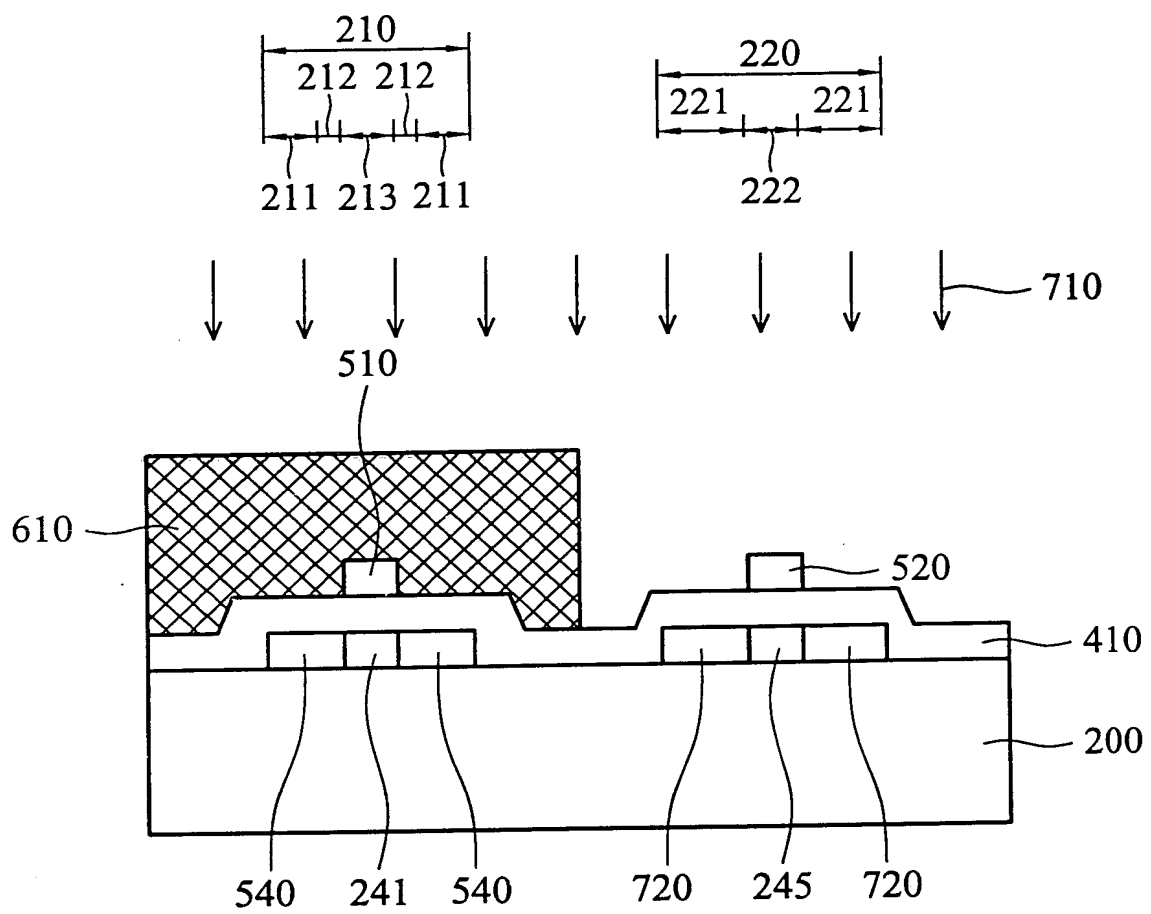
第 4 圖



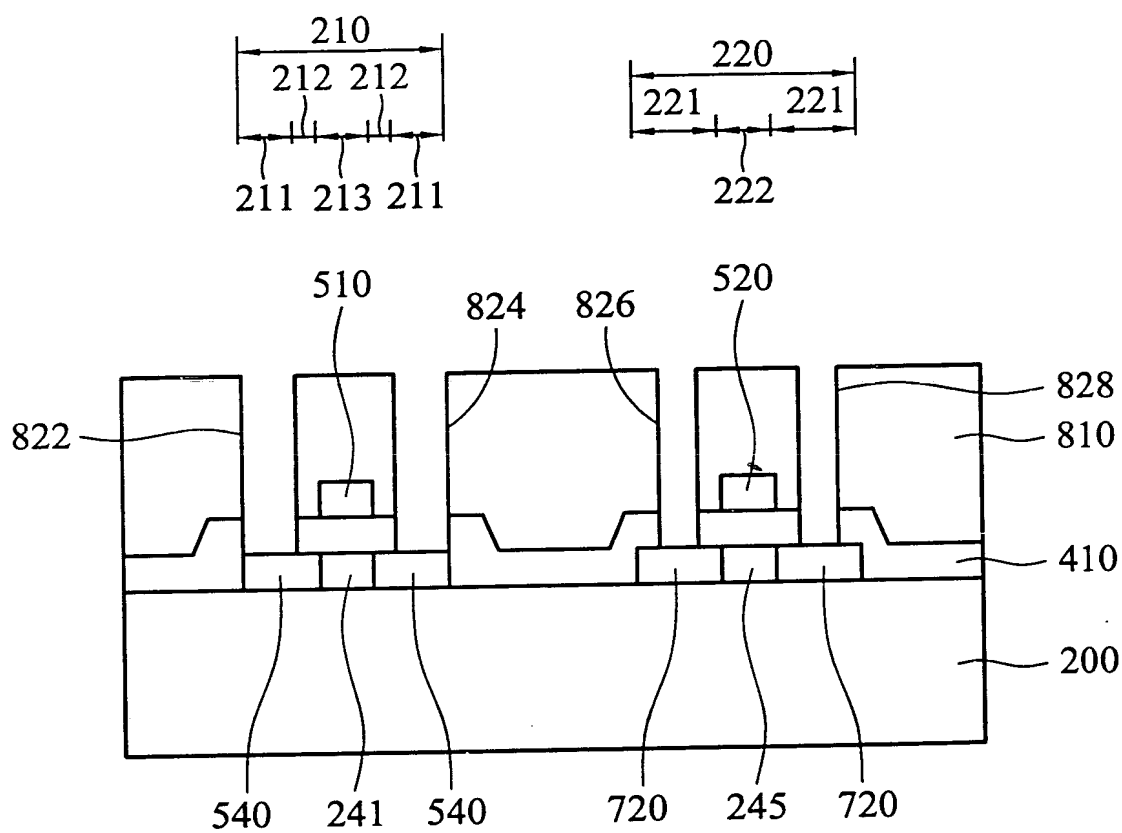
第 5 圖



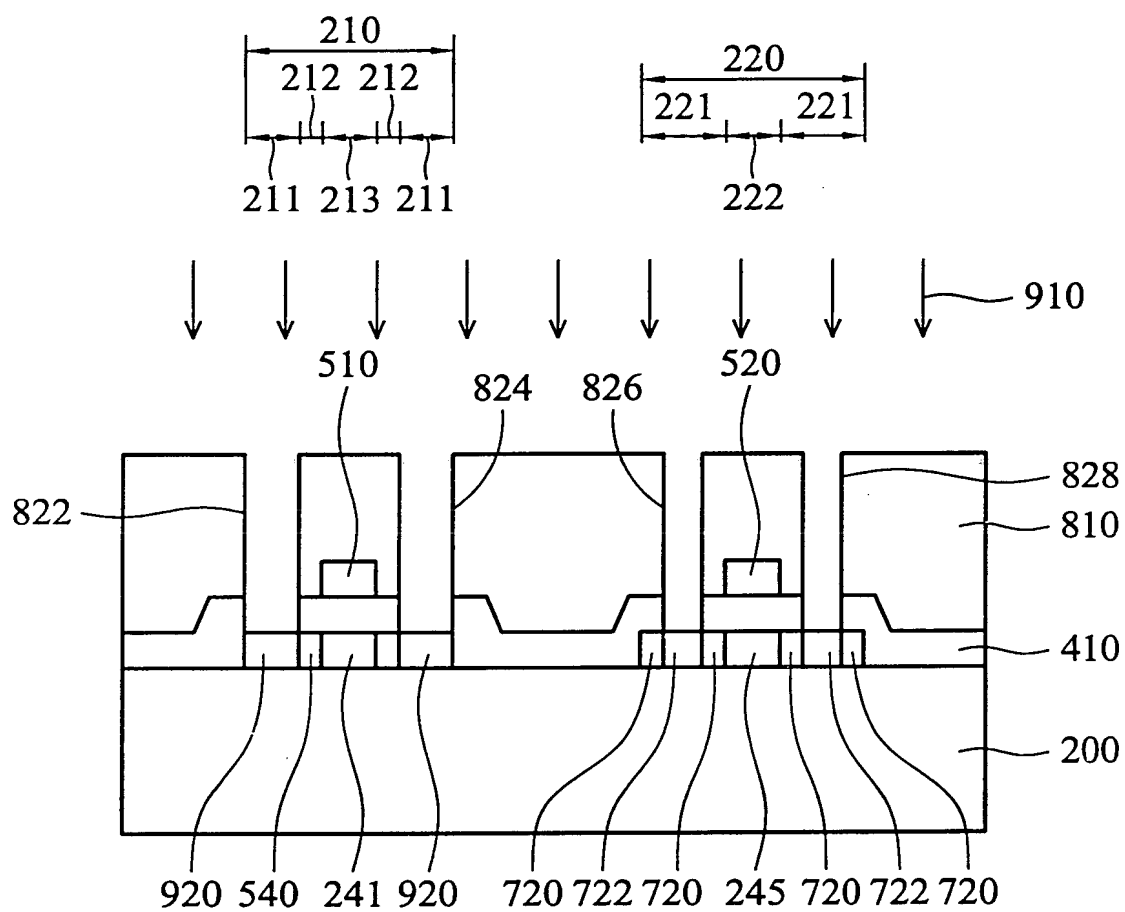
第 6 圖



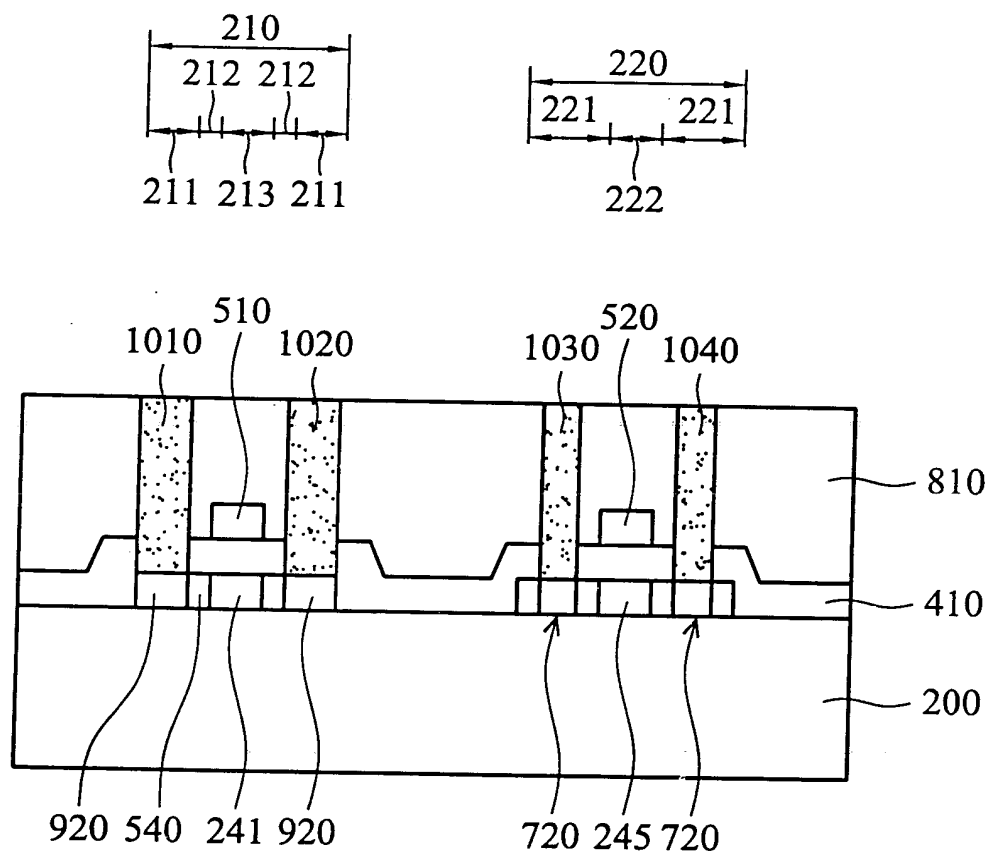
第 7 圖



第 8 圖



第 9 圖

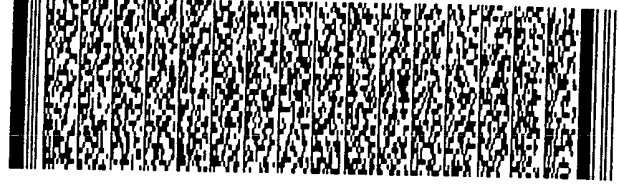


第 10 圖

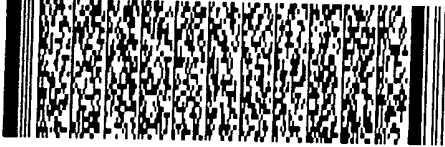
第 1/24 頁



第 2/24 頁



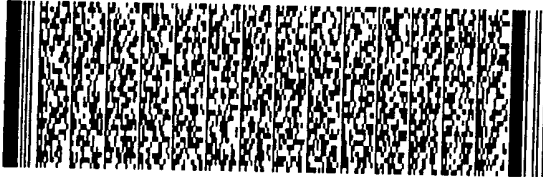
第 3/24 頁



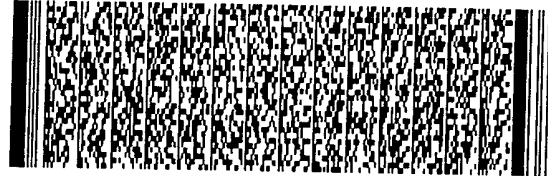
第 4/24 頁



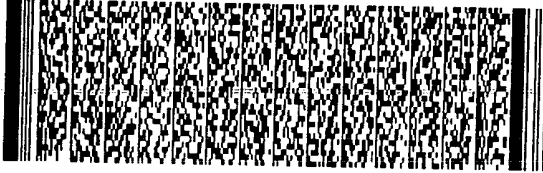
第 5/24 頁



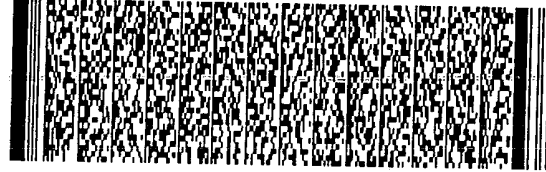
第 5/24 頁



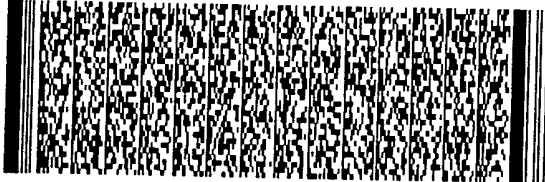
第 6/24 頁



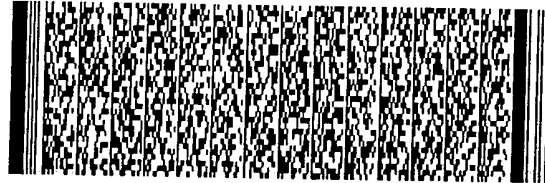
第 6/24 頁



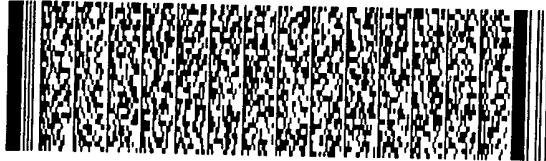
第 7/24 頁



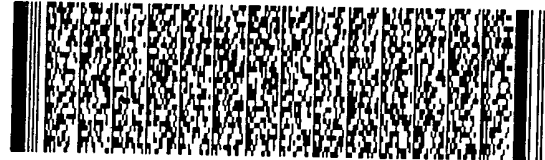
第 7/24 頁



第 8/24 頁



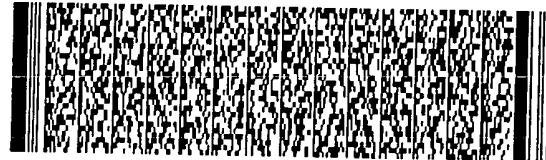
第 8/24 頁



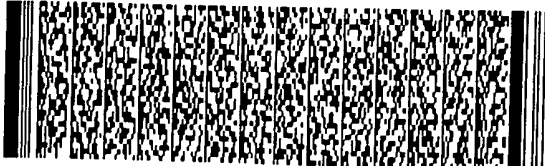
第 9/24 頁



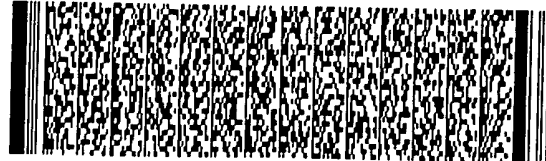
第 9/24 頁



第 10/24 頁



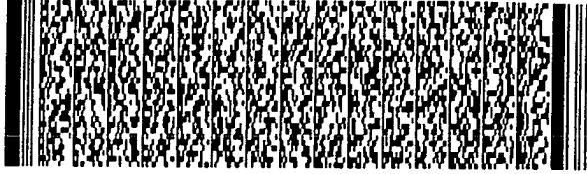
第 10/24 頁



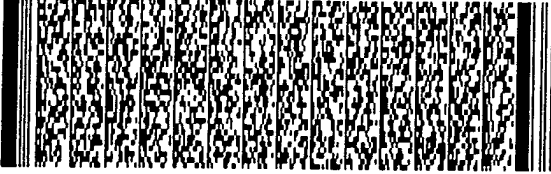
第 11/24 頁



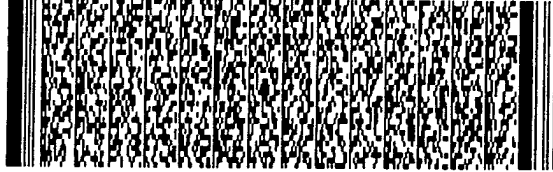
第 11/24 頁



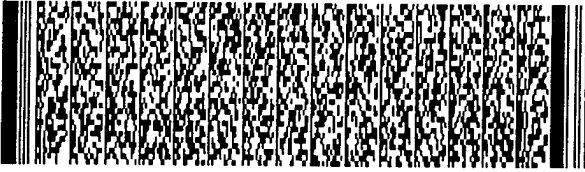
第 12/24 頁



第 12/24 頁



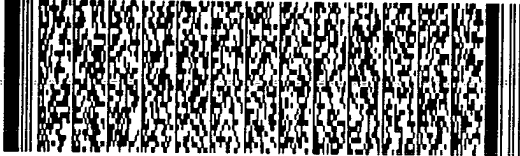
第 13/24 頁



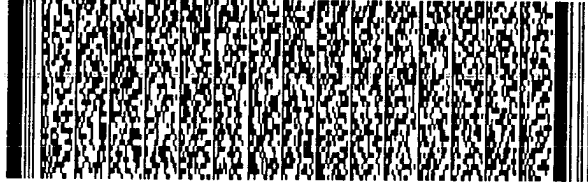
第 13/24 頁



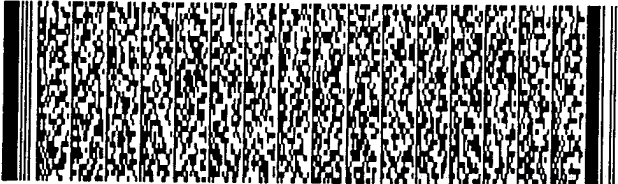
第 14/24 頁



第 15/24 頁



第 16/24 頁



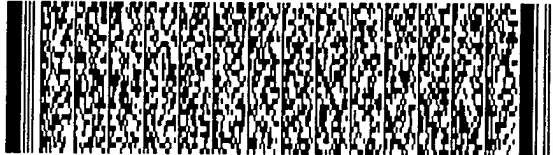
第 17/24 頁



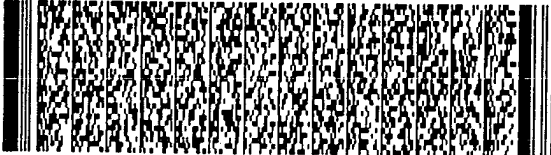
第 17/24 頁



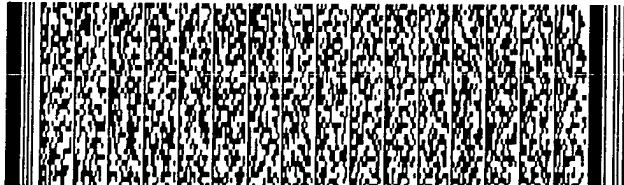
第 18/24 頁



第 18/24 頁



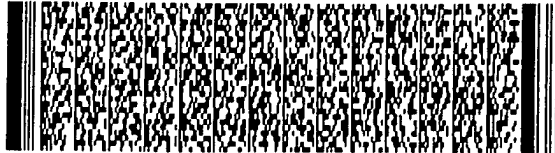
第 19/24 頁



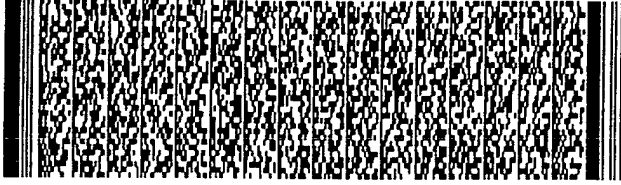
第 20/24 頁



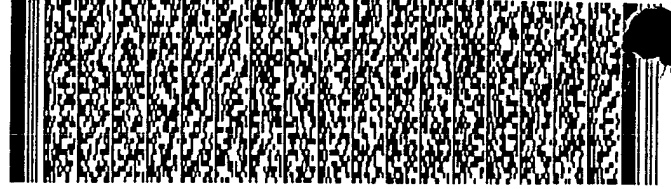
第 20/24 頁



第 21/24 頁



第 22/24 頁



第 23/24 頁



第 23/24 頁



第 24/24 頁

